



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09205373 A**

(43) Date of publication of application: **05.08.1997**

(51) Int. Cl. **H03M 13/12**

(21) Application number: 08010367

(22) Date of filing: **24.01.1996**

(71) Applicant: **SONY CORP**

(72) Inventor: HIROSE TOSHIHIKO  
INO HIROYUKI

(54) VITERBI DECODING METHOD AND VITERBI DECODER

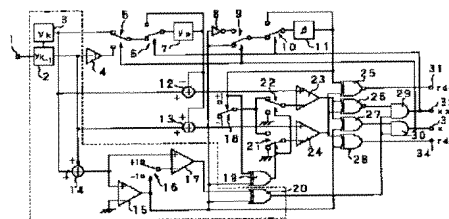
(57) Abstract:

**PROBLEM TO BE SOLVED:** To improve the information speed and to suppress increase in the hardware by applying a prescribed arithmetic operation to each sampled value and deciding a path for state transition based on the result of arithmetic operation and a prescribed identification value.

**SOLUTION:** An adder 14 adds data  $y_{k-1}$ ,  $y_k$  from registers 2, 3 storing data resulting from sampling an equivalent waveform via a terminal 1 as the data  $y_{k-1}$ ,  $y_k$ . Furthermore, a comparator 15 compares the sum data by the adder 14 with a ground level (0) as an identification value. Furthermore, a comparator 17 compares a level +1 or a -1 as the identification value selected by a

selector switch 18 depending on an output of the comparator 15 with the sum data of the adder 14. Then output data of the comparators 17, 15 are exclusively ORed. Thus, a prescribed arithmetic operation is applied to each sample of  $2^n$  and a path of state transition is decided based on the arithmetic operation result and the prescribed identification value.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-205373

(43)公開日 平成9年(1997)8月5日

(51)Int.Cl.<sup>6</sup>

H 0 3 M 13/12

識別記号

庁内整理番号

F I

H 0 3 M 13/12

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 18 頁)

(21)出願番号 特願平8-10367

(22)出願日 平成8年(1996)1月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 広瀬 俊彦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 井野 浩幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

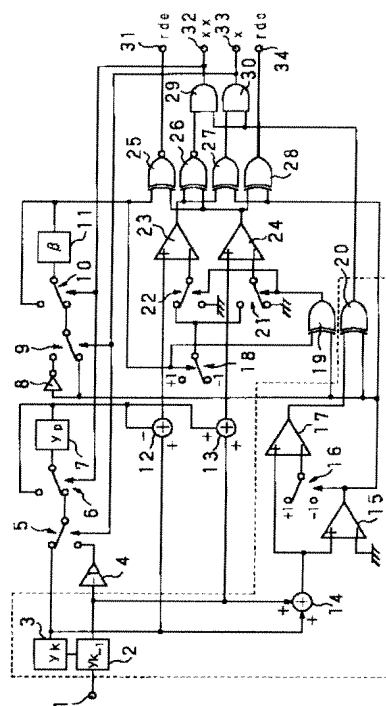
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 ビタビ復号方法及びビタビ復号器

(57)【要約】

【課題】 従来のビタビ復号器に比して、より高速な動作を可能にする。

【解決手段】 2状態のステートメトリックを基に最適にパスを決定してデータを復号するビタビ復号器であり、2つのサンプルデータを取り込むためのレジスタ2, 3と、このレジスタ2, 3に取り込んだ2つのサンプルデータを加算する加算器14と、この加算結果と識別値(-1, 0, 1)の比較によってそれぞれの状態遷移のパスを決定する加算器14以降の構成とを有する。



## 【特許請求の範囲】

【請求項1】 2状態のステートメトリックを基に最適にパスを決定してデータを復号するビタビ復号方法において、

$2^n$  ( $n$ は1以上の整数)の標本点おきの標本値を取り込み、

上記取り込んだ上記 $2^n$ の各標本値に所定の演算を施し、

上記所定の演算結果と所定の識別値とに基づいて状態遷移のパスを決定することを特徴とするビタビ復号方法。

【請求項2】 上記2状態のステートメトリックの差を求め、

当該差のステートメトリックを基に最適にパスを決定することを特徴とする請求項1記載のビタビ復号方法。

【請求項3】 2状態のステートメトリックを基に最適にパスを決定してデータを復号するビタビ復号器において、

$2^n$  ( $n$ は1以上の整数)の標本点おきの標本値を取り込む標本値取り込み手段と、

上記取り込んだ上記 $2^n$ の各標本値に所定の演算を施す演算手段と、

上記所定の演算結果と所定の識別値とに基づいて状態遷移のパスを決定するパス決定手段とを有することを特徴とするビタビ復号器。

【請求項4】 上記2状態のステートメトリックの差を求める差分演算手段を備え、

上記パス決定手段は、当該差のステートメトリックを基に最適にパスを決定することを特徴とする請求項3記載のビタビ復号器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、2状態のステートメトリックを基に最適にパスを決定してデータを復号するビタビ復号方法及びビタビ復号器に関する。

## 【0002】

【従来の技術】いわゆるパーシャルレスポンスや畳み込み符号に対する最尤復号方式(Maximum Likelihood Decoding)として、ビタビ復号(Viterbi decoding)が知られている。ビタビ復号は、伝送路等で生じるランダムエラーに対するエラー訂正能力が高くデータの記録再生系ではパーシャルレスポンスと組み合わせられて、例えば磁気記録再生装置等に用いられる。一方、データ通信系では、ビタビ復号化は、畳み込み符号の復号化方法として、例えば衛星通信等への実用化が進められている。

【0003】ここで、制御可能な符号間干渉を許容し、伝送効率を高めたパーシャルレスポンスとビタビ復号を組み合わせた一般的なデータの記録再生装置について説明する。

【0004】図4に示すように、変調器101は、例えば8-10変調等の記録媒体104へのデータの記録に

適した変調を行う変調器であり、端子171を介し、情報系列として入力されるデータ(以下、単に情報系列という。)を変調系列 $x_t$  ( $t=0, 1, 2, \dots$ )に変換する。

【0005】プリコード102は、パーシャルレスポンスにおけるプリコードであり、変調系列 $x_t$ を所定の符号則に基づいて符号化して、中間系列 $y_t$ を生成する。そして、この中間系列 $y_t$ は、記録アンプ103を介して記録ヘッドに送られ、この記録ヘッドによって記録媒体104に記録される。かくして、端子171を介して入力されたデータ(情報系列)が記録媒体104に記録されることになる。

【0006】再生ヘッドにより上記記録媒体104から再生された再生信号は、再生アンプ105によって増幅されて等化器106に送られる。この等化器106は、再生信号の波形等化を行い、伝送路出力Zを出力する。

【0007】フェイズロックドループ(以下、PLL: Phase Locked Loopという。)回路107は、記録媒体104等からなる伝送路の出力Zからクロック成分を抽出する。すなわち再生信号に同期したクロックを生成する。

【0008】標本化回路108は、PLL回路107からのクロックに基づいて、伝送路出力Zをサンプリングしてデータに変換し、得られる標本系列 $z_t$ をビタビ復号器109に供給する。ビタビ復号器109は、この標本系列 $z_t$ に対してビタビ復号を施し、記録系の変調器101の出力に相当する変調系列 $x_t$ を再生する。

【0009】復調器110は、記録系の変調器101に対応したものであり、変調系列 $x_t$ を復調して、元の情報系列を再生し、この情報系列が復調系列として、端子172を介して出力される。かくして、記録媒体104からデータが再生されることになる。

【0010】つぎに、パーシャルレスポンスをいわゆるパーシャルレスポンス(1, 1)(以下、PR(1,1)とする。)としたときの伝送システムについて説明する。

【0011】PR(1,1)を適用した伝送システムは、図5に示す等価回路で表すことができる。

【0012】具体的には、この伝送システムは、その送信系として、PR(1,1)に対するプリコードを備え、このプリコードは、排他的論理和回路(以下、EXOR回路という。)121と、該EXOR回路121の出力である中間系列 $y_t$ を遅延してEXOR回路121に供給する遅延器122とから構成される。

【0013】そして、EXOR回路121は、端子173を介して、例えば上述の図4に示す変調器101から供給される変調系列 $x_t$ と、遅延器122で1サンプリング時間遅延された中間系列 $y_t$ との排他的論理和を求める。すなわち、EXOR回路121と遅延器122から構成されるプリコードは、法2の加算器(Mod2加算器)として機能し、変調系列 $x_t$ を法2の加算すること

により、中間系列 $y_t$ を生成し、この中間系列 $y_t$ を伝送路に出力する。

【0014】PR(1,1)に対する伝送路は、中間系列 $y_t$ を遅延する遅延器123と、中間系列 $y_t$ と遅延器123で遅延された中間系列 $y_t$ を加算する加算器124とから構成される回路と等価であり、遅延器123は、EXOR回路121からの中間系列 $y_t$ を1サンプリング時間遅延し、加算器124は、中間系列 $y_t$ と遅延された中間系列 $y_t$ を加算して、伝送路出力 $Z$ を出力する。

【0015】そして、Mod加算器125は受信系として、伝送路出力 $Z$ を法2の加算をすることにより、変調系列 $x_t$ を再生し、この変調系列 $x_t$ を端子174を介して出力する。

【0016】ここで、EXOR回路121乃至加算器124から構成される回路（以下、PR(1,1)回路という。）の動作は、図6に示す状態遷移図で表すことができる。

【0017】すなわち、図6は上記PR(1,1)の状態遷移図を表しており、この図6の状態遷移図において、 $l_{00}$ は状態S0にある時に情報源として“0”が入力されれば-1を出力して状態S0に移ることを示し、 $l_{01}$ は状態S0にある時に情報源として“1”が入力されれば0を出力して状態S1に移ることを、 $l_{10}$ は状態S1にある時に情報源として“0”が入力されれば+1を出力して状態S1に移ることを、 $l_{11}$ は状態S1にある時に情報源として“1”が入力されれば0を出力して状態S0に移ることを示している。

【0018】次に、図7は、この状態推移を時間方向に展開したトレリス線図(Trellis diagram)と呼ばれるものである。当該図中の状態から状態への矢印1本をブランチ（枝）、ブランチの連なりをパス、各ブランチ確からしさをメトリックと呼ぶ。

【0019】PR(1,1)では、上記状態遷移図より、復号器への入力信号が0の時に再生データが1の値をとり、入力信号が±1のとき0の値をとる。実際の信号は、雑音が伴い、この分布が分散 $\sigma$ 、平均値0のガウス分布であるとする、PR(1,1)の再生分布は図8のようになり、次の式(1)～式(4)の確率を導くことができる。

【0020】

【数1】

$$P_{11} = \frac{\Delta y}{\sqrt{2\pi}\sigma} e^{-\frac{y_k^2}{2\sigma^2}} \quad (1)$$

$$P_{10} = \frac{\Delta y}{\sqrt{2\pi}\sigma} e^{-\frac{(y_k-1)^2}{2\sigma^2}} \quad (2)$$

$$P_{01} = \frac{\Delta y}{\sqrt{2\pi}\sigma} e^{-\frac{y_k^2}{2\sigma^2}} \quad (3)$$

$$P_{00} = \frac{\Delta y}{\sqrt{2\pi}\sigma} e^{-\frac{(y_k+1)^2}{2\sigma^2}} \quad (4)$$

【0021】なお、式(1)は状態S1で“1”を再生したとき $\Delta y$ を検出する確率 $P_{11}$ を示し、式(2)は状態S1で“0”を再生したとき $\Delta y$ を検出する確率 $P_{10}$ を示し、式(3)は状態S0で“1”を再生したとき $\Delta y$ を検出する確率 $P_{01}$ を示し、式(4)は状態S0で“0”を再生したとき $\Delta y$ を検出する確率 $P_{00}$ を示している。

【0022】ここで、メトリックとして確率の負の対数を定義する。

【0023】ビタビ復号におけるメトリックはその絶対値ではなく相対値の比較なので、一定値を加算乗算して規格化することができる。それぞれの規格化メトリックを $l_{11}$ 、 $l_{10}$ 、 $l_{01}$ 、 $l_{00}$ とすると、式(5)～式(7)に示すようになる。

【0024】

【数2】

$$l_{11} = l_{01} = y_k^2 \quad (5)$$

$$l_{10} = (y_k - 1)^2 \quad (6)$$

$$l_{00} = (y_k + 1)^2 \quad (7)$$

【0025】ビタビアルゴリズムは、時刻 $k$ における各々の状態について、そこに至るまでのメトリック（以下、ステートメトリックと呼ぶ。）が最小になるようにパスを一つにしぼりながらデータを復号するものである。したがって、PR(1,1)のビタビアルゴリズムでは、図7のトレリス線図と上述した規格化メトリックから時刻 $t = k$ における状態S0のステートメトリックと、状態S1におけるステートメトリックとから式(8)、式(9)の計算を基に最適にパスを決定しデータを復号する。

【0026】

【数3】

$$\begin{aligned} L_k^{S1} &= \min[L_{k-1}^{S1} + l_{10}, L_{k-1}^{S0} + l_{01}] \\ &= \min[L_{k-1}^{S1} + (y_k - 1)^2, L_{k-1}^{S0} + y_k^2] \end{aligned} \quad (8)$$

$$\begin{aligned} L_k^{S0} &= \min[L_{k-1}^{S1} + l_{11}, L_{k-1}^{S0} + l_{00}] \\ &= \min[L_{k-1}^{S1} + y_k^2, L_{k-1}^{S0} + (y_k + 1)^2] \end{aligned} \quad (9)$$

$L_k^{S0}$  は時刻  $t = k$  における状態  $S0$  のステートメトリック

$L_k^{S1}$  は時刻  $t = k$  における状態  $S1$  のステートメトリック

【0027】実際の回路では、このメトリック計算を基に最適にパスを決定してデータを復号する構成となる。

【0028】ところで、前記式(8)、式(9)の処理を行う構成は、加算器や乗算器を含み、回路規模としても大きくなり、また、動作速度もあまり期待できない。

【0029】そこで、PR(1,1)は状態数が2つしかない

ということから、次式(10)のようなメトリックの差  $\Delta L_k$  (以下、差動メトリックという。)を利用して簡単化する。

【0030】

【数4】

$$\begin{aligned} \Delta L_k &= L_k^{S1} - L_k^{S0} = \min[L_{k-1}^{S1} + (y_k - 1)^2, L_{k-1}^{S0} + y_k^2] \\ &\quad - \min[L_{k-1}^{S1} + y_k^2, L_{k-1}^{S0} + (y_k + 1)^2] \\ &= 1 - 2y_k + \min[\Delta L_{k-1} - 2y_k, -1] \\ &\quad - \min[\Delta L_{k-1} - 2y_k, +1] \end{aligned} \quad (10)$$

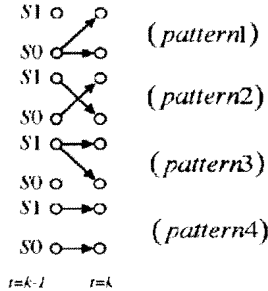
【0031】上記式(10)を考察してみると、共通項  $\Delta L_{k-1} - 2y_k$  の値と  $\pm 1$  との比較結果(式中の2つの  $\min$  [ ] の中身)が各々のブランチを選択する結果となっている。その様子を、式(11)～式(14)とパターン1～パタ

ーン4 (pattern1～pattern4と表記する) のトレリス線図に示す。

【0032】

【数5】

$$\Delta L_k \begin{cases} -2y_k - 1 & +1 < \Delta L_{k-1} - 2y_k & (11) \\ -\Delta L_{k-1} & -1 < \Delta L_{k-1} - 2y_k \leq +1 & (12) \\ -2y_k + 1 & \Delta L_{k-1} - 2y_k \leq -1 & (13) \\ \Delta L_{k-1} & +1 < \Delta L_{k-1} - 2y_k \leq -1 & (14) \end{cases}$$



【0033】この内、pattern4は式(14)の条件より存在せず、PR(1,1)のビタビアルゴリズムでは状態遷移は3パターン(pattern1～pattern3)しか有り得ないことになる。

【0034】更に、残った式(11)～式(13)を  $\Delta L_k = -2y_p + \beta$  として変数変換すると、式(15)～式(17)のようになる。

【0035】

【数6】

$$-2y_k - 1 \quad 2y_p + 2y_k < \beta - 1 \quad (15)$$

$$+2y_k - \beta \quad \beta - 1 \leq 2y_p + 2y_k < \beta + 1 \quad (16)$$

$$-2y_k + 1 \quad \beta + 1 \leq 2y_p + 2y_k \quad (17)$$

【0036】差動メトリックの計算結果より、新たな変数  $y_p$ 、 $\beta$  に注目して式(15)～式(17)を変形すると、以下の式(18)～式(20)とpattern1～pattern3のトレリス線図に示すようになる。

【0037】

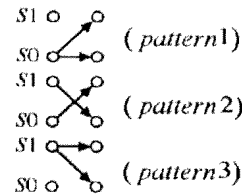
【数7】

$\beta = +1$ あるいは $\beta = -1$

$$y_p + y_k < 0 \quad y_p + y_k < -1 \quad \beta \rightarrow -1, y_p \rightarrow y_k \quad (18)$$

$$0 \leq y_p + y_k < 1 \quad -1 \leq y_p + y_k < 0 \quad \beta \rightarrow -\beta, y_p \rightarrow -y_p \quad (19)$$

$$1 \leq y_p + y_k \quad 0 \leq y_p + y_k \quad \beta \rightarrow +1, y_p \rightarrow y_p \quad (20)$$



【0038】したがって、サンプル時刻 $k$ 以前の変数 $y_p$ 、 $\beta$ により、比較的簡単な計算となり、その結果と2つの識別値（（1，0）或いは（0，-1））との比較だけによりパスを決定することができる。このパスの決定によりデータが復号され、次の時刻 $k+1$ のために変数 $y_p$ 、 $\beta$ を更新する。

【0039】ここで、この変数 $y_p$ 、 $\beta$ について考えてみる。

【0040】パスの決定は以前の状態がS0かS1かの何れかが分かれば遷移する方向の種類が分かるので、1度の計算で比較すべき識別値が（±1，0）の3値から（1，0）或いは（0，-1）の2値の組み合わせでだけよいことになる。この以前の遷移の状態の種類を表しているのが $\beta$ であり、 $y_p$ はその時の値である。具体的回路構成でいえば、 $\beta$ により、2種類の識別値（0，1）、（0，-1）を選択していることになる。

【0041】次に、データ復号であるが、pattern1、pattern3の場合は時刻 $k$ でサンプリングされたデータ $y_k$ により、時刻（ $k-1$ ）での状態が決まるので、時刻 $k-1$ までのパスが1本化され、復号データは、その状態遷移より（ $k-1$ ）までの値を決定することができる。この場合、時刻 $k$ でのデータは状態が決定されていないので復号できない。pattern2の場合は、状態がそれぞれS0→S1、S1→S0の遷移となっているのはわかるが、その前の状態が決まらずパスが1本化されない。したがって、PR(1,1)の状態遷移図より時刻 $k$ での復号データは“1”が復号されるが、 $k-1$ での復号は行われず、後でパスが1本化した時に復号できるようにpattern2になる前の状態（ $\beta$ ）と、サンプリング値（ $y_p$ ）を保持し、時刻 $k-1$ 以降に復号されるデータをメモリに記憶して、次の時刻に進むことになる。時刻が進み、pattern1、pattern3の状態遷移に決まると、保持されていた $\beta$ により、pattern2が出現する前の時刻（前述した時刻 $k-1$ ）のデータが決定され、そこではじめて全ての復号が終わる。したがって、このデータを保持するためのメモリ（パスメモリと呼ぶ）は、システム上、pattern2が連続して出現する以上もつように設定しておく必要がある。

【0042】以上の方法を実現する具体的な回路としては、図9～図11のような構成が考えられる。なお、図12には、例えば前記図4の構成におけるデータ（ソースデータ）の前記記録媒体104への記録と当該記録されたデータの再生の際の各部の波形を示している。ま

た、この図12のように記録がなされた後に再生された再生データを復号化する、図9～図11の構成からなるビタビ復号器における復号化の様子は、図13に示すようになる。

【0043】先ず、図12を用いて前記図4の構成の具体的動作の一例を説明する。

【0044】図4の端子171に、図12に示すソースデータが入力されると、変調器101はこのソースデータを8-10変調して、図12に示すような8-10変調データを入力する。この8-10変調データは、前記プリコード102に送られ、ここで前記変調系列 $x_t$ を所定の符号則に基づいて符号化して、中間系列 $y_t$ になされる。具体的に言うと、このプリコード102は、入力系列のビット情報1，0を記録媒体104に2つの状態（例えば磁気テープ上のN極またはS極）に対応させて記録するときに、ビット情報1のときのみ状態を反転させる方式である、いわゆるNRZI（Non Return to Zero Inverted）の方式を用いて、上記8-10変調データを図12に示すような記録信号に変換する。この記録信号が記録アンプ103を介して記録ヘッドに送られ、記録媒体104の一例としての磁気テープ上に記録されることにより、当該磁気テープ上には図12に示すような磁化パターンが形成される。この記録媒体104を再生ヘッドにて再生すると、図12のヘッド再生波形が得られることになる。このヘッド再生波形は、再生アンプ105を介して等化器106に送られ、ここで、図12に示すような積分等化波形に変換され、さらに図12及び図13に示すようなPR(1,1)の等化波形に変換される。このPR(1,1)の等化波形は、前記標準化回路108にてサンプリングされた後、図9～図11に示す構成を有するビタビ復号器109に送られる。

【0045】ここで、図9に示す差動メトリック演算部の構成は、端子200を介した図13のPR(1,1)の等化波形がサンプリングされたデータを、データ $y_k$ として記憶するレジスタ201と、上記レジスタ201からのデータ $y_k$ とレジスタ216に記憶されているデータ $y_p$ とを加算する加算器202と、この加算器202からの出力を、識別値としての+1又は-1と比較するコンパレータ205及び同じく識別値としてのグランドレベル（0）と比較するコンパレータ206と、上記コンパレータ205と206の出力データの排他的論理和演算を行うEXOR回路207と、コンパレータ206の出力データとレジスタ212に記憶されているデータ $\beta$

との否定排他的論理和演算を行う論理回路208と、レジスタ216の出力を反転するインバータ(NOT回路)215と、コンパレータ206の出力を反転するインバータ(NOT回路)211と、レジスタ212の出力を反転するインバータ(NOT回路)213と、レジスタ216への入力を切り換える選択スイッチ217と、レジスタ212への入力を切り換える選択スイッチ214と、上記コンパレータ205の比較基準(識別値)としての+1又は-1の値を設定するための選択スイッチ204とを有してなるものである。

【0046】すなわちこの図9の端子200には、図13に示すPR(1,1)の等化波形がサンプリングされたデータが供給され、このデータが図13のデータ $y_k$ としてレジスタ201に記憶される。このレジスタ201のデータ $y_k$ は、加算器202にて、レジスタ216からのデータ $y_p$ と加算( $y_p + y_k$ )される。なお、初期状態のときのレジスタ216は予め設定された所定の初期値が記憶されている。

【0047】当該加算器202の出力は、図13に示すようにコンパレータ206にてグランドレベル(0)と大小比較( $y_p + y_k < 0$ )がなされ、その比較結果が当該コンパレータ206から出力される。また、上記加算器202の出力は、コンパレータ205にて+1又は-1と比較( $y_p + y_k < \pm 1$ )され、その比較結果が当該コンパレータ205から出力される。

【0048】EXOR回路207では、上記コンパレータ205の出力( $y_p + y_k < \pm 1$ の比較結果による0または1のデータ)と、コンパレータ206の出力( $y_p + y_k < 0$ の比較結果による0または1のデータ)との排他的論理和が図13に示すように求められ、その結果が端子209からデータ $x$ として出力されると共に、切換制御信号として選択スイッチ217と214に送られる。

【0049】また、論理回路208では、コンパレータ206の出力( $y_p + y_k < 0$ の比較結果による0または1のデータ)と、レジスタ212からのデータ $\beta$ との否定排他的論理和が図13に示すように求められると共に、インバータ211にて反転され、さらに選択スイッチ214を介してレジスタ212に送られるようになされている。なお、初期状態のときのレジスタ212は予め設定された所定の初期値が記憶されている。

【0050】選択スイッチ214は、上記EXOR回路207からのデータ $x$ に応じて、前記インバータ211にて反転されたコンパレータ206の出力データか、またはレジスタ212からの出力データをインバータ213にて反転したデータの何れかを、当該レジスタ212に記憶されるデータ $\beta$ として供給する。また、選択スイッチ217は、上記EXOR回路207からのデータ $x$ に応じて、前記レジスタ201からの出力データか、またはレジスタ216からのデータ $y_p$ をインバータ21

5にて反転したデータの何れかを、当該レジスタ216に記憶されるデータ $y_k$ として供給する。また、選択スイッチ204は、レジスタ212からのデータ $\beta$ に応じて、+1または-1のデータを選択してコンパレータ205に供給する。

【0051】このように、図9の端子200に図13のPR(1,1)の等化波形をサンプリングしたデータを供給し、選択スイッチ217及び214がEXOR回路207の出力データ $x$ に応じて切り換えられると共に、選択スイッチ204がレジスタ212の出力データ $\beta$ に応じて切り換えられることで、当該図9の端子210からは図13のリードデータ $rd1$ が出力されるようになる。

【0052】次に、図9の端子209から出力されたデータ $x$ は、図10に示すデータ復号部の4ビットカウンタ220のロード端子に供給され、この4ビットカウンタ220の4ビット出力は、デコード221にて16ビットにデコードされて出力される。

【0053】さらに、図9の端子210から出力されたリードデータ $rd1$ と端子209から出力されたデータ $x$ は、図11に示すバスメモリ部の構成に送られる。この図11の構成は、17個のフリップフロップ237<sub>0</sub>～237<sub>16</sub>と、図9の端子210を介して供給されたデータ $rd1$ と各段のフリップフロップ237<sub>0</sub>～237<sub>16</sub>への入力データ $k, k-1, \dots, k-16$ とを図9の端子209からのデータ $x$ 、又は図10のデコード221から端子241<sub>0</sub>～241<sub>15</sub>を介して供給されたデータ $pp0 \sim pp15$ に応じて、それぞれ切り換える選択スイッチ236<sub>0</sub>～236<sub>16</sub>とを有してなるものである。

【0054】以上が従来技術におけるビタビ復号器とその簡略化方法である。

【0055】

【発明が解決しようとする課題】上述した従来技術では、ビタビ復号器が簡略化されたとはいえ、前記図9に示した差動メトリック演算を行うためのACS(Add Compare Select)ループが存在し、これを1クロック以内で動作させなければならない構成となっている。しかし、回路の動作周波数には限界があり、したがって、上述した従来の構成では、高転送レートを望むことは難しい。

【0056】そこで、本発明は、このような実情に鑑みてなされたものであり、従来のビタビ復号器に比して、より高速動作が可能なビタビ復号方法及びビタビ復号器の提供を目的とする。

【0057】

【課題を解決するための手段】本発明のビタビ復号方法及びビタビ復号器は、 $2^n$ の標本点おきの標本値を取り込み、この $2^n$ の各標本値に所定の演算を施し、その演算結果と所定の識別値とに基づいて状態遷移のパスを決定することにより、上述の課題を解決する。

【0058】すなわち本発明によれば、従来1タイムスロットで1回であったループ内での演算を複数回行うことにより、情報速度を向上し、なおかつハードウェアの増加を抑えることを可能としている。

【0059】

【発明の実施の形態】以下、本発明の好ましい実施の形態について図面を参照しながら説明する。

【0060】本発明の実施の形態は、ビタビ復号方法のアルゴリズムを実際にパーシャルレスポンスPR(1,1)やPR(1,0,-1)等の2状態のビタビ復号法として具体化し、なおかつ、ハードウェアの大幅な簡略化を行ったものであると共に、動作速度の向上の一手段として、2標

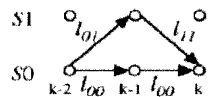
本点毎にまとめて処理を行う方式を用いている。

【0061】例えば、PR(1,1)のトレリス線図で2標本点毎のパスに注目してみる。

【0062】2標本点おきのパスとしては8通りのパスが考えられ、これを状態遷移S0→S0, S1→S0, S0→S1, S1→S1毎の4つの状態遷移についてまとめてみる。これら状態遷移S0→S0, S1→S0, S0→S1, S1→S1のそれぞれのステートメトリックは次式(21)～式(24)で表すことができる。

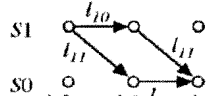
【0063】

【数8】

$$L_k^{S0S0} = \min[l_{00} + l_{00}, l_{01} + l_{11}]$$


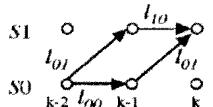
$$= \min[(y_{k-1} + 1)^2 + (y_k + 1)^2, y_{k-1}^2 + y_k^2]$$

$$= \min[y_{k-1} + y_k, -1] \quad (21)$$

$$L_k^{S1S0} = \min[l_{11} + l_{00}, l_{10} + l_{11}]$$


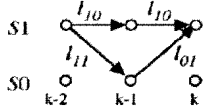
$$= \min[y_{k-1}^2 + (y_k + 1)^2, (y_{k-1} + 1)^2 + y_k^2]$$

$$= \min[y_{k-1} + y_k, 0] \quad (22)$$

$$L_k^{S0S1} = \min[l_{00} + l_{01}, l_{01} + l_{10}]$$


$$= \min[(y_{k-1} + 1)^2 + y_k^2, y_{k-1}^2 + (y_k - 1)^2]$$

$$= \min[y_{k-1} + y_k, 0] \quad (23)$$

$$L_k^{S1S1} = \min[l_{10} + l_{10}, l_{11} + l_{01}]$$


$$= \min[(y_{k-1} - 1)^2 + (y_k - 1)^2, y_{k-1}^2 + y_k^2]$$

$$= \min[y_{k-1} + y_k, 1] \quad (24)$$

$L_k^{S0S0}$  は状態遷移 S0 → S0 のステートメトリック

$L_k^{S1S0}$  は状態遷移 S1 → S0 のステートメトリック

$L_k^{S0S1}$  は状態遷移 S0 → S1 のステートメトリック

$L_k^{S1S1}$  は状態遷移 S1 → S1 のステートメトリック

【0064】これらの式(21)～式(24)から2標本点間の標本値の加算結果( $y_{k-1} + y_k$ )と識別値(1, 0, -1)の比較によってそれぞれの状態遷移を判別することがわかる。

【0065】そこで、上記 $y_{k-1} + y_k$ に注目して各識別

値との場合分けを行い、条件にあったパスを抜き取る、次の式(25)～式(32)のように書き換えることができる。

【0066】

【数9】



1  $y_{k-1} + y_k < -1$

$$\Delta L_k^{S0} = \min \left[ L_{k-2}^{S0} + (y_{k-1} + 1)^2 + (y_k + 1)^2, L_{k-2}^{S1} + y_{k-1}^2 + (y_k + 1)^2 \right] \quad (25)$$

$$\Delta L_k^{S1} = \min \left[ L_{k-2}^{S0} + (y_{k-1} + 1)^2 + y_k^2, L_{k-2}^{S1} + y_{k-1}^2 + y_k^2 \right] \quad (26)$$

2  $-1 \leq y_{k-1} + y_k < 0$

$$\Delta L_k^{S0} = \min \left[ L_{k-2}^{S0} + y_{k-1}^2 + y_k^2, L_{k-2}^{S1} + y_{k-1}^2 + (y_k + 1)^2 \right] \quad (27)$$

$$\Delta L_k^{S1} = \min \left[ L_{k-2}^{S0} + (y_{k-1} + 1)^2 + y_k^2, L_{k-2}^{S1} + y_{k-1}^2 + y_k^2 \right] \quad (28)$$

3  $0 \leq y_{k-1} + y_k < 1$

$$\Delta L_k^{S0} = \min \left[ L_{k-2}^{S0} + y_{k-1}^2 + y_k^2, L_{k-2}^{S1} + (y_{k-1} - 1)^2 + y_k^2 \right] \quad (29)$$

$$\Delta L_k^{S1} = \min \left[ L_{k-2}^{S0} + y_{k-1}^2 + (y_k - 1)^2, L_{k-2}^{S1} + y_{k-1}^2 + y_k^2 \right] \quad (30)$$

4  $1 \leq y_{k-1} + y_k$

$$\Delta L_k^{S0} = \min \left[ L_{k-2}^{S0} + y_{k-1}^2 + y_k^2, L_{k-2}^{S1} + (y_{k-1} - 1)^2 + y_k^2 \right] \quad (31)$$

$$\Delta L_k^{S1} = \min \left[ L_{k-2}^{S0} + y_{k-1}^2 + (y_k - 1)^2, L_{k-2}^{S1} + (y_{k-1} - 1)^2 + (y_k - 1)^2 \right] \quad (32)$$

$\Delta L_k^{S0}$  は状態 S0 に至るメトリック

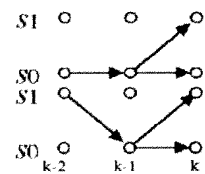
$\Delta L_k^{S1}$  は状態 S1 に至るメトリック

【0067】さらに、これら式(25)～式(32)を簡略化するため、前述した差動メトリックを用いて式(33)～式(44)のように表現する。

【0068】

【数10】

1  $y_{k-1} + y_k < -1$

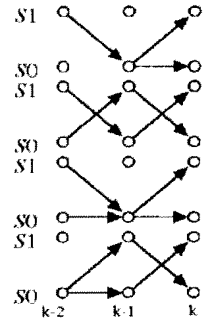


$$\Delta L_k \begin{cases} = -2y_k - 1 \\ = -2y_k - 1 \end{cases}$$

$$\Delta L_{k-2} > 2y_{k-1} + 1 \quad (33)$$

$$\Delta L_{k-2} \leq 2y_{k-1} + 1 \quad (34)$$

2  $-1 \leq y_{k-1} + y_k < 0$



$$\Delta L_k \begin{cases} = -2y_k - 1 \\ = \Delta L_{k-2} \\ = -2y_k + 2y_{k-1} - \Delta L_{k-2} \\ = 2y_{k-1} + 1 \end{cases}$$

$$\Delta L_{k-2} \leq 2y_{k-1} + 1, \Delta L_{k-2} < -2y_k - 1 \quad (35)$$

$$2y_{k-1} + 1 \geq \Delta L_{k-2} \geq -2y_k - 1 \quad (36)$$

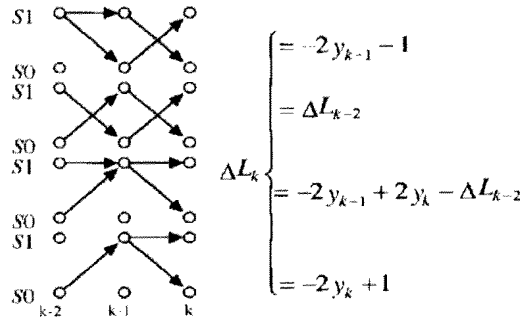
$$2y_{k-1} + 1 < \Delta L_{k-2} < -2y_k - 1 \quad (37)$$

↑  
illegal state

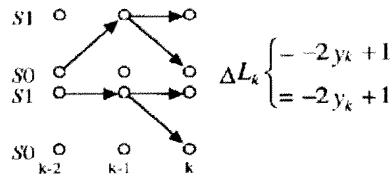
$$\Delta L_{k-2} > 2y_{k-1} + 1, \Delta L_{k-2} \geq -2y_k - 1 \quad (38)$$

【0069】

$$3 \quad 0 \leq y_{k-1} + y_k < 1$$



$$4 \quad 1 \leq y_{k-1} + y_k$$



$$\text{作動メトリック } \Delta L_k = L_k^{S1} - L_k^{S0}$$

【数11】

$$\Delta L_{k-2} \leq 2y_{k-1} - 1, \Delta L_{k-2} < -2y_k + 1 \quad (39)$$

$$2y_{k-1} - 1 < \Delta L_{k-2} < -2y_k + 1 \quad (40)$$

$$2y_{k-1} - 1 > \Delta L_{k-2} \geq -2y_k + 1 \quad (41)$$

↑  
illegal state

$$\Delta L_{k-2} > 2y_{k-1} - 1, \Delta L_{k-2} \geq -2y_k + 1 \quad (42)$$

$$\Delta L_{k-2} > 2y_{k-1} - 1 \quad (43)$$

$$\Delta L_{k-2} \leq 2y_{k-1} - 1 \quad (44)$$

【0070】以上の条件式中の式(37)と式(41)は、明らかに有り得ないので、2標本点間でのメトリックは7パターンとなる。しかし、このままでは回路が複雑になるため、前述した回路を簡略化する手法を適用する。すな

わち、 $\Delta L_k = -2y_p + \beta$ の形に変数変換すると、次式(45)～式(54)に示すようになる。

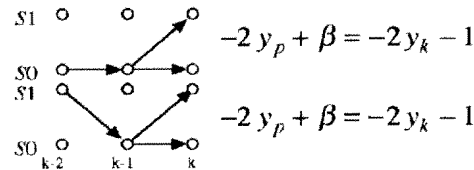
【0071】

【数12】

条件式

$$1 \quad y_{k-1} + y_k < -1$$

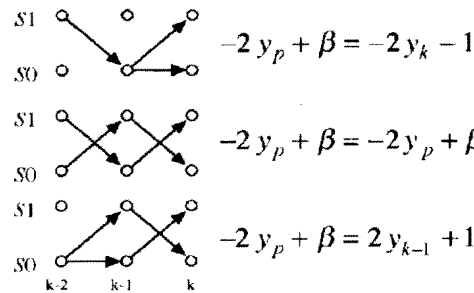
$$\Delta L_k$$



$$2y_p + 2y_{k-1} < -1 + \beta \quad (45)$$

$$2y_p + 2y_{k-1} \geq -1 + \beta \quad (46)$$

$$2 \quad -1 \leq y_{k-1} + y_k < 0$$



$$2y_p + 2y_{k-1} \geq -1 + \beta$$

$$-2y_p + 2y_k < -1 - \beta \quad (47)$$

$$2y_p + 2y_{k-1} \geq -1 + \beta$$



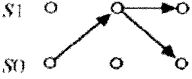
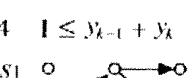
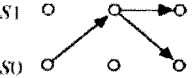
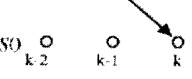
$$-2y_p + 2y_k \geq -1 - \beta \quad (48)$$

$$2y_p + 2y_{k-1} < -1 + \beta$$

$$-2y_p + 2y_k \geq -1 - \beta \quad (49)$$

【0072】

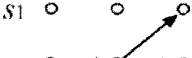

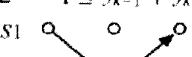
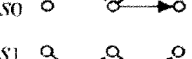
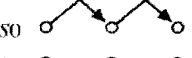
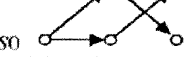


【数13】

3	$0 \leq y_{k-1} + y_k < 1$	$\Delta L_k$	条件式	
	$-2y_p + \beta = 2y_{k-1} - 1$	$2y_p + 2y_{k-1} \geq 1 + \beta$		(50)
	$-2y_p + \beta = -2y_p + \beta$	$-2y_p + 2y_k < 1 - \beta$		
	$-2y_p + \beta = -2y_k + 1$	$2y_p + 2y_{k-1} < 1 + \beta$		(52)
	$-2y_p + \beta = -2y_k + 1$	$-2y_p + 2y_k \geq 1 - \beta$		
4	$1 \leq y_{k-1} + y_k$			
	$-2y_p + \beta = -2y_k + 1$	$2y_p + 2y_{k-1} < 1 + \beta$		(53)
	$-2y_p + \beta = -2y_k + 1$	$2y_p + 2y_{k-1} \geq 1 + \beta$		(54)

【0073】したがって、差動メトリックの計算結果より、新たな変数  $y_p$ 、 $\beta$  に注目して、式(45)から式(54)を変形すると、式(55)～式(64)に示すようになる。

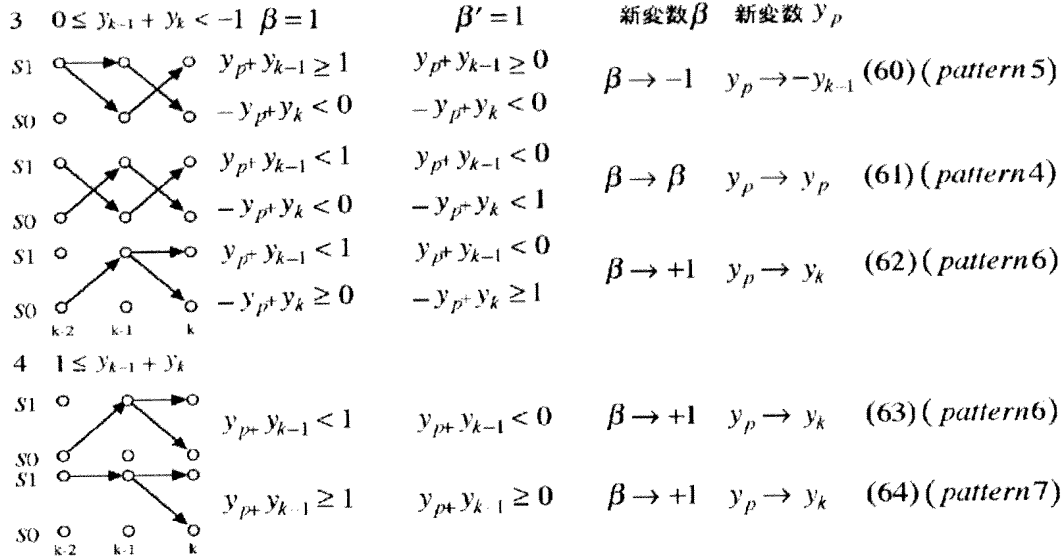
【0074】

【数14】

1	$y_{k-1} + y_k < -1$	$\beta = 1$	$\beta' = 1$	新変数 $\beta$	新変数 $y_p$	
	$y_p + y_{k-1} < 0$	$y_p + y_{k-1} < -1$	$\beta \rightarrow -1$	$y_p \rightarrow y_k$	(55) (pattern1)	
	$y_p + y_{k-1} \geq 0$	$y_p + y_{k-1} \geq -1$	$\beta \rightarrow -1$	$y_p \rightarrow y_k$	(56) (pattern2)	
2	$-1 \leq y_{k-1} + y_k < 0$					
	$y_p + y_{k-1} \geq 0$	$y_p + y_{k-1} \geq -1$	$\beta \rightarrow -1$	$y_p \rightarrow y_k$	(57) (pattern2)	
	$-y_p + y_k < -1$	$-y_p + y_{k-1} < 0$				
	$y_p + y_{k-1} \geq 0$	$y_p + y_{k-1} \geq -1$	$\beta \rightarrow \beta$	$y_p \rightarrow y_p$	(58) (pattern4)	
	$-y_p + y_k \geq -1$	$-y_p + y_k \geq 0$				
	$y_p + y_{k-1} < 0$	$y_p + y_{k-1} < -1$	$\beta \rightarrow +1$	$y_p \rightarrow -y_{k-1}$	(59) (pattern3)	
	$-y_p + y_k \geq -1$	$-y_p + y_k \geq 0$				

【0075】

【数15】



【0076】したがって、差動メトリックの計算は、2つの標本値  $y_k$ ,  $y_{k-1}$  の加算結果と、1つ前の  $\beta$  の値より2つのコンパレータ ( $y_p + y_{k-1}$ ,  $-y_p + y_k$  と各識別値  $\pm 1$ , 0 との比較) の比較すべき値を選択し、そのコンパレータの演算結果からパスを決定するというアルゴリズムとなり、7種類の遷移パターンとなる。

【0077】データの復号もパスの決定で2標本値毎の処理を行っているので、1クロックで2ビットの復号を行わなければならない。したがって、パスメモリ、ポインタ用のカウンタ共に、先行、後行分用意する。このことから、多少復号アルゴリズムは複雑になるが、基本的には従来技術の考え方と同じである。以下、それぞれの

遷移パターンについて説明する。

【0078】先ず、pattern1, pattern2, pattern6, pattern7について説明する。この4つのパターンでは、時刻  $k-2$ ,  $k-1$  でのパスが決定されるので、 $k-2$ ,  $k-1$  でのデータを復号することができる。この復号値は時刻  $k-2$  では従来技術における時刻  $k-1$  での復号値 (リードデータ  $rd1$ ) と同様の方法となる。すなわち、従来技術においては、式(65)から  $k-2$  での値  $rd1$  は式(66)となる。

【0079】

【数16】

$$rd1 = \beta \oplus (y_p + y_k < 0) \quad (65)$$

↓  
サンプル値  $y_k$  のコンパレート結果

【0080】

【数17】

$$rde = \beta \oplus (y_p + y_{k-1} < 0 \text{ 又は } y_p + y_{k-1} < \pm 1) \quad (66)$$

↓  
サンプル値  $y_{k-1}$  のコンパレート結果

【0081】時刻  $k-1$  での値  $rd0$  は、 $k-2$ ,  $k-1$  の時点のパスが決まっていることから時刻  $k-1$  での状態が決定され、 $y_{k-1}$ ,  $y_k$  から  $k-1$  での  $\beta'$ ,  $y_p'$  を決めて計算することができる。すなわち、式(6

7) のようになるので、式(68)となり、基本的には  $rd1$  と同様となる。

【0082】

【数18】

$$\beta' \rightarrow y_p + y_{k-1} < 0, y_p' \rightarrow y_{k-1} \quad (67)$$

【0083】

【数19】

$$rd0 = (y_p + y_{k-1} < 0) \oplus (y_{k-1} + y_k < 0) \quad (68)$$

↓                      ↓  
 $\beta$                        $y_p$

【0084】この時、ポインタ用のカウンタは先行ポイ

ンタ  $ppe = 0$  となり、後行ポインタ  $ppo = 0$  とな

る。

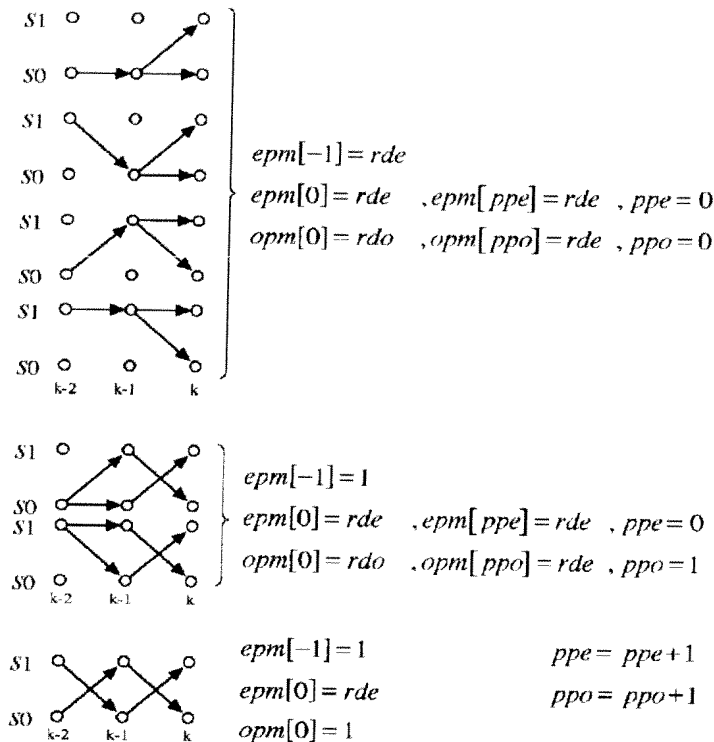
【0085】次に、pattern3、pattern4について説明する。この2つのパターンでは時刻 $k-2$ までのパスは決定されるが、 $k-1$ では決定されない。このため $k-2$ でのデータ復号はできるが $k-1$ での復号が出来ない。しかし、時刻 $k$ での遷移パターンが前記式(12)のpattern2のようなパターンであるので時刻 $k$ での復号はできる。したがって、復号値は時刻 $k-2$ では前述した $rde$ 、時刻 $k$ では“1”となる。なお、この時のポインタは $k-1$ でのデータが復号されないため $ppe=0$ 、 $p$

$po=1$ となる。pattern4では、時刻 $k-2$ 、 $k-1$ 共にパスが決定できない。しかし、パスの遷移パターンが前記式(12)のpattern2のようなパターンであるので、時刻 $k-1$ 、 $k$ でのデータの復号はできる。復号値は共に“1”である。この時のポインタは $ppe$ 、 $ppo$ 共に1つカウントアップされる。

【0086】以上をまとめると、次のように表すことができる。

【0087】

【数20】



【0088】上述したことを実現する具体的な回路としては、図1～図2のような構成が考えられる。なお、例えば前記図4の構成によってデータ（ソースデータ）が、前記記録媒体104へ前記図12に示したように記録され、その後、当該記録媒体104から再生された再生データを復号化する、本発明の図1～図2の構成からなるビタビ復号器での復号化の様子は、図3に示すようになる。

【0089】本発明の図1に示すビタビ復号器の差動メトリック演算部の端子1には、前記図4と同様にして記録媒体104の一例である磁気テープ上に記録された前記図12に示したような磁化パターンが再生ヘッドにて再生され、さらに前記等化器106にて波形等化されて得られた図3に示すようなPR(1,1)の等化波形を、前記標本化回路108にてサンプリングしたデータが供給される。

【0090】ここで、図1の構成は、端子1を介した図3のPR(1,1)の等化波形がサンプリングされたデータ

を、データ $y_{k-1}$ 及びデータ $y_k$ として記憶するレジスタ2及び3と、上記レジスタ2及び3からのデータ $y_{k-1}$ とデータ $y_k$ を加算する加算器14と、加算器14の加算データと識別値としてのグランドレベル(0)とを比較するコンパレータ15と、当該コンパレータ15の出力に応じて選択スイッチ18が選択した識別値としての+1又は-1と上記加算器14の加算データとを比較するコンパレータ17と、上記コンパレータ17と15の出力データの排他的論理和演算を行うEXOR回路20とを有している。また、図1の構成は、上記レジスタ2からのデータデータ $y_{k-1}$ とレジスタ3からのデータ $y_p$ とを加算する加算器13と、当該加算器13の加算データとグランドレベル(0)との比較、或いは+1又は-1との比較を行うコンパレータ24と、レジスタ3のデータ $y_k$ からレジスタ7のデータ $y_p$ を引いた差データとグランドレベル(0)との比較、或いは+1又は-1との比較を行うコンパレータ23と、上記コンパレータ23と24の出力データの否定排他的論理和演算を行う論

理回路26とを有している。さらに、図1の構成には、コンパレータ15の出力データとレジスタ11に記憶されているデータ $\beta$ との排他的論理和演算を行うEXOR回路19と、レジスタ2の出力を反転するインバータ4と、コンパレータ15の出力を反転するインバータ(NOT回路)8と、レジスタ7への入力を切り換える選択スイッチ5及び6と、レジスタ11への入力を切り換える選択スイッチ9及び10と、レジスタ11のデータ $\beta$ に応じてコンパレータ23、24での比較基準としての+1又は-1の値を設定するための選択スイッチ18と、EXOR回路19の出力データに応じてコンパレータ23、24での比較基準としてのグラウンドレベル

(0)の値を設定するための選択スイッチ21、22と、コンパレータ24の出力データとレジスタ11のデータ $\beta$ との否定排他的論理和演算を行う論理回路25と、コンパレータ23の出力データとコンパレータ15の出力データとの排他的論理和演算を行うEXOR回路27と、コンパレータ24の出力データとコンパレータ15の出力データとの排他的論理和演算を行うEXOR回路28と、論理回路26の出力データとEXOR回路20の出力データとの論理積演算を行うAND回路29と、EXOR回路27の出力データとEXOR回路20の出力データとの論理積演算を行うAND回路30とを有してなるものである。なお、初期状態のときのレジスタ7及びレジスタ11は、予め設定された所定の初期値が記憶されている。

【0091】すなわちこの図1の端子1には、図3に示すPR(1,1)の等化波形がサンプリングされたデータが供給され、このデータが図3のデータ $y_k$ 及び $y_{k-1}$ としてレジスタ2及び3に記憶される。これらレジスタ2、3のデータ $y_k$ 及び $y_{k-1}$ は、図3に示すように加算器14にて加算( $y_k + y_{k-1}$ )される。

【0092】当該加算器14の出力( $y_k + y_{k-1}$ )は、図3に示すようにコンパレータ15にてグラウンドレベル(0)と大小比較( $y_k + y_{k-1} < 0$ )がなされ、その比較結果が当該コンパレータ15から出力される。また、上記加算器14の出力は、図3に示すように当該コンパレータ15の出力に応じて選択スイッチ18が選択した+1又は-1とコンパレータ17にて比較( $y_k + y_{k-1} < \pm 1$ )され、その比較結果が当該コンパレータ17から出力される。これらコンパレータ15及び17の出力データはEXOR回路20にて排他的論理和演算される。

【0093】EXOR回路20では、上記コンパレータ17の出力( $y_k + y_{k-1} < \pm 1$ の比較結果による0または1のデータ)と、コンパレータ15の出力( $y_k + y_{k-1} < 0$ の比較結果による0または1のデータ)との排他的論理和が図3に示すように求められ、その結果がAND回路29、30に送られる。

【0094】また、EXOR回路19では、レジスタ1

1からのデータ $\beta$ と上記コンパレータ15の出力( $y_k + y_{k-1} < 0$ の比較結果による0または1のデータ)との排他的論理和が図3に示すように求められ、その結果が切換制御信号として選択スイッチ21、22に送られる。

【0095】一方、レジスタ2のデータ $y_{k-1}$ は、図3に示すように加算器13にてレジスタ7からのデータ $y_p$ と加算( $y_p + y_{k-1}$ )され、この加算出力( $y_p + y_{k-1}$ )がコンパレータ24に送られる。このコンパレータ24では、図3に示すように上記EXOR回路19の出力データに応じて選択スイッチ21で選択されたグラウンドレベル(0)と上記加算器13の加算出力( $y_p + y_{k-1}$ )との大小比較( $y_p + y_{k-1} < 0$ )、或いは上記レジスタ11のデータ $\beta$ 及び上記EXOR回路19の出力データに応じて選択スイッチ18及び21で選択された+1又は-1と上記加算器13の加算出力( $y_p + y_{k-1}$ )との大小比較( $y_p + y_{k-1} < \pm 1$ )がなされ、その比較結果が当該コンパレータ24から出力される。

【0096】また、レジスタ3のデータ $y_k$ は、図3に示すように減算器12にてレジスタ7からのデータ $y_p$ と引き算( $-y_p + y_k$ )され、この減算出力( $-y_p + y_k$ )がコンパレータ23に送られる。このコンパレータ23では、図3に示すように上記EXOR回路19の出力データに応じて選択スイッチ22で選択されたグラウンドレベル(0)と上記減算器12の減算出力( $-y_p + y_k$ )との大小比較( $-y_p + y_k < 0$ )、或いは上記レジスタ11のデータ $\beta$ 及び上記EXOR回路19の出力データに応じて選択スイッチ18及び22で選択された+1又は-1と上記減算器12の減算出力( $-y_p + y_k$ )との大小比較( $-y_p + y_k < \pm 1$ )がなされ、その比較結果が当該コンパレータ23から出力される。

【0097】これらコンパレータ23の出力( $-y_p + y_k < 0$ または $-y_p + y_k < \pm 1$ の比較結果のデータ)と、コンパレータ24の出力( $y_p + y_{k-1} < 0$ または $y_p + y_{k-1} < \pm 1$ の比較結果のデータ)は、論理回路26にて否定排他的論理和演算され、さらにAND回路29にてEXOR回路20の出力データと論理積演算されて、その結果が端子32からデータxxとして出力される。

【0098】また、EXOR回路27では、上記コンパレータ23の出力( $-y_p + y_k < 0$ または $-y_p + y_k < \pm 1$ の比較結果のデータ)と、コンパレータ15の出力( $y_k + y_{k-1} < 0$ の比較結果のデータ)との排他的論理和が図3に示すように求められ、その結果がAND回路30にてEXOR回路20の出力データと論理積演算されて、その結果が端子33からデータxとして出力される。

【0099】さらに、EXOR回路28では、上記コンパレータ24の出力( $y_p + y_{k-1} < 0$ または $y_p + y_{k-1} < \pm 1$ の比較結果のデータ)と、コンパレータ15の出

力( $y_k + y_{k-1} < 0$ の比較結果のデータ)との排他的論理和が図3に示すように求められ、その結果が端子34からリードデータrd oとして出力される。

【0100】またさらに、論理回路25では、上記コンパレータ24の出力( $y_p + y_{k-1} < 0$ または $y_p + y_{k-1} < \pm 1$ の比較結果のデータ)と、レジスタ11からのデータ $\beta$ との否定排他的論理和演算が図3に示すように求められ、その結果が端子31からリードデータrd eとして出力される。

【0101】選択スイッチ5は、上記AND回路30からのデータxに応じて、前記インバータ4にて反転されたレジスタ2からのデータ $y_{k-1}$ か、またはレジスタ3からのデータ $y_k$ の何れかを選択する。選択スイッチ6は、上記AND回路29からのデータxxに応じて、上記選択スイッチ5の出力か、または、レジスタ7に記憶されたデータ $y_p$ の何れかを選択し、この選択スイッチ6の出力がデータ $y_p$ として上記レジスタ7に記憶される。

【0102】また、選択スイッチ9は、上記AND回路30からのデータxに応じて、前記コンパレータ15からの出力データ( $y_k + y_{k-1} < 0$ の比較結果のデータ)か、または当該コンパレータ15の出力データが前記インバータ8にて反転されたデータの何れかを選択する。選択スイッチ10は、上記AND回路29からのデータxxに応じて、上記選択スイッチ9の出力か、または、レジスタ11に記憶されたデータ $\beta$ の何れかを選択し、この選択スイッチ10の出力がデータ $\beta$ として上記レジスタ11に記憶される。

【0103】次に、図1の端子33から出力されたデータxは図2の端子50に、図1の端子31から出力されたリードデータrd eは図2の端子51に、図1の端子34から出力されたリードデータrd oは図2の端子52に、図1の端子33から出力されたデータxxは図2の端子53に供給される。

【0104】上記端子50に入力されたデータxは、3ビットカウンタ65の入力端子に供給されると共に、インバータ62にて反転されて3ビットカウンタ63の入力端子にも供給される。また、上記端子53に供給されたデータxxは、3ビットカウンタ63、65のロード端子に入力される。

【0105】上記3ビットカウンタ63からの3ビット出力は、デコーダ64にて8ビットにデコードされて偶数パスメモリのポインタデータppe0～ppe7として出力され、上記3ビットカウンタ65からの3ビット出力は、デコーダ66にて8ビットにデコードされて奇数パスメモリのポインタデータppo0～ppo7として出力される。

【0106】すなわち、上記インバータ62、3ビットカウンタ63及び65、デコーダ64及び66にて、ビタビ復号器のデータ復号部が構成されている。

【0107】また、この図2の構成のうちパスメモリ部は、それぞれ9個のフリップフロップ56<sub>0</sub>～56<sub>8</sub>及びフリップフロップ59<sub>0</sub>～59<sub>8</sub>を備え、フリップフロップ56<sub>0</sub>～56<sub>8</sub>には、上記データxxとデータxのOR回路54による論理和出力、又はデコーダ64から端子57<sub>0</sub>～57<sub>7</sub>を介して供給された偶数パスメモリのポインタデータppe0～ppe7に応じてそれぞれ切り換えられる選択スイッチ55<sub>0</sub>～55<sub>8</sub>にて切り換えられたデータが入力され、また、フリップフロップ59<sub>0</sub>～59<sub>8</sub>には、上記データxx、又はデコーダ66から端子60<sub>0</sub>～60<sub>7</sub>を介して供給された奇数パスメモリのポインタデータppo0～ppo7に応じてそれぞれ切り換えられる選択スイッチ58<sub>0</sub>～58<sub>8</sub>にて切り換えられたデータが入力される。

【0108】上述した本発明のビタビ復号器の構成例と前述した従来技術のビタビ復号器の構成とを比較すると、本発明の構成例は、2標本点分のデータを一度に処理するため、従来の1標本点毎の処理に比べてクロックレートは半分にすることができる。

【0109】すなわち、通常ビタビ復号器には、独特のAC Sループと呼ばれるループが存在する。このループ内の演算は1タイムスロットルで終了しなければならず、これがクリティカルパスとなり情報速度を上げる上でも制限となっていたので、本発明のビタビ復号器では、従来、1タイムスロットルで1回であったループ内での演算を複数回行うことにより、ビタビ復号器内に存在するAC Sループ部分の1回の演算に許される時間が長くなって、ビタビ復号器全体の動作速度の上限が高くなり、結果として従来より高速な速度情報を記録又は伝送可能としている。また、図1の図中波線枠内の部分はループ内に組み込まれていないため、この部分はフリップフロップを入れて演算を一度切ることができる。このためループ内でのクリティカルパスとしては従来の構成と略々同ゲート遅延量となる。したがって、情報速度(転送レート)としては従来の略々2倍の速度を実現することが可能となる。

【0110】さらに、ハードウェア構成としてコンパレータ、加算器及びパスメモリ用のカウンタがそれぞれ2倍となっているが、実際には論理合成等の手法により、回路の共有化が可能なので、3割程度の増加にとどめられる。

【0111】また逆に、同じ情報速度で比較した場合、本発明の構成は回路規模が従来構成の3割増しにもかかわらず、動作クロックが半分になるため、消費電力の面でも有利になる。

【0112】すなわち、高速化のため複雑化したループ内の演算によるハードウェアの増加は、動作速度の向上分に比べて格段に抑えられ、情報速度を従来と同じ速度で使用した場合、ループ部の演算速度を低くすることができるため、低消費電力化にもつながら、LSI化も容

易となる。

【0113】

【発明の効果】以上の説明で明かなように、本発明のビタビ復号方法及びビタビ復号器においては、 $2^n$ の標本点おきの標本値を取り込み、この $2^n$ の各標本値に所定の演算を施し、その演算結果と所定の識別値とに基づいて状態遷移のパスを決定することにより、すなわち、従来1タイムスロットで1回であったループ内での演算を複数回行うことにより、従来技術に比べて情報速度を向上し、なおかつハードウェアの増加を抑えることが可能となっている。

【図面の簡単な説明】

【図1】本発明のビタビ復号器の差動メトリック演算部の構成を示す回路図である。

【図2】本発明のビタビ復号器のデータ復号部及びパスメモリ部の構成を示す回路図である。

【図3】本発明のビタビ復号器の動作説明に用いる図である。

【図4】ビタビ復号器を適用したデータ記録再生装置の構成を示すブロック回路図である。

【図5】パーシャルレスポンス(1, 1)を適用した伝送システムの等化回路を示すブロック回路図である。

【図6】パーシャルレスポンス(1, 1)の状態遷移図である。

【図7】パーシャルレスポンス(1, 1)のトレリス線

図である。

【図8】パーシャルレスポンス(1, 1)の再生分布を示す図である。

【図9】従来技術のビタビ復号器の差動メトリック部の構成を示す回路図である。

【図10】従来技術のデータ復号部の構成を示す回路図である。

【図11】従来技術のパスメモリ部の具体的構成を示す回路図である。

【図12】図4のデータ記録再生装置の各部の波形及び磁気テープ上の磁化パターンを示す図である。

【図13】従来技術のビタビ復号器の動作説明に用いる図である。

【符号の説明】

2, 3, 7, 11 レジスタ

4, 8 インバータ

5, 6, 9, 10, 16, 18, 21, 22 選択スイッチ

12 減算器

14, 13 加算器

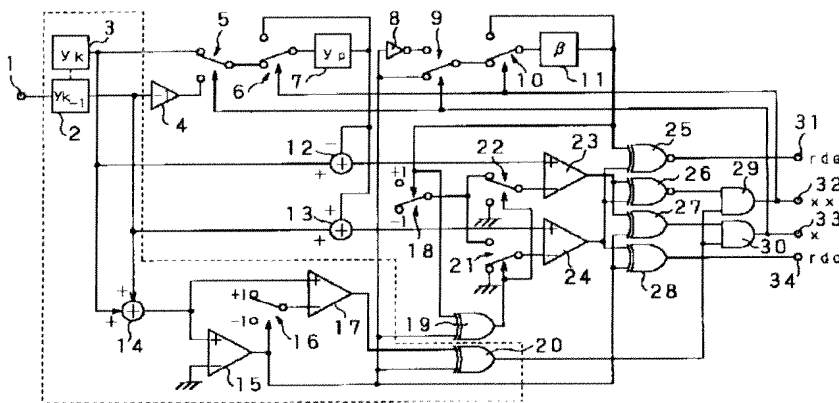
15, 17, 23, 24 コンパレータ

19, 20, 27, 28 EXOR回路

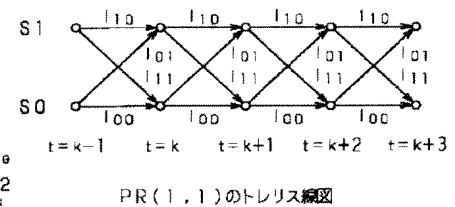
25, 26 論理回路

29, 30 AND回路

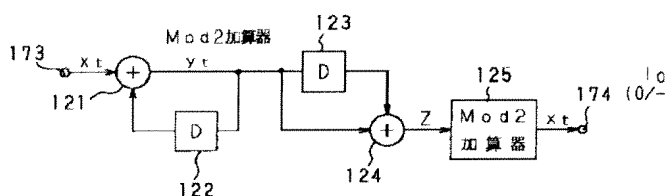
【図1】



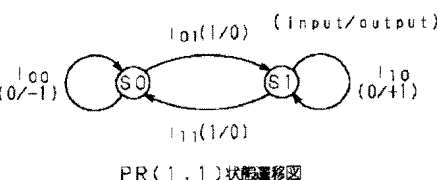
【図7】



【図5】

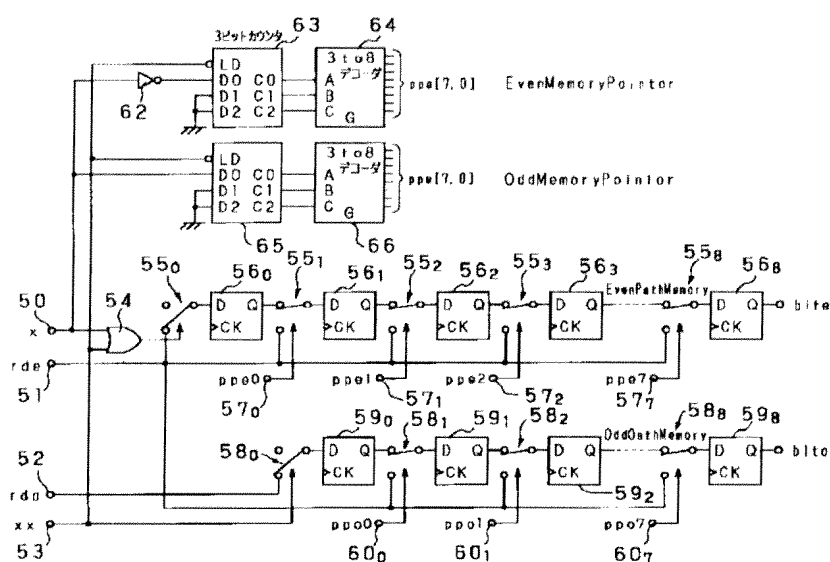


【図6】

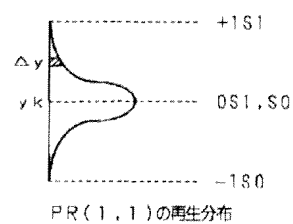




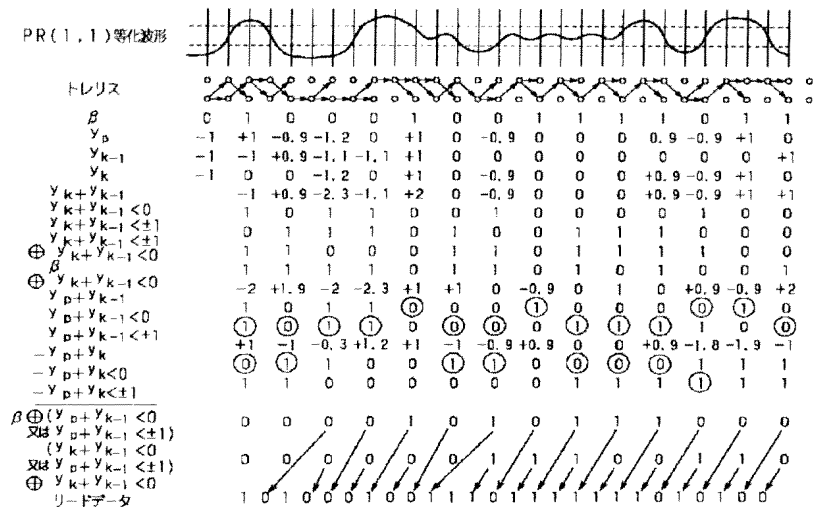
【图2】



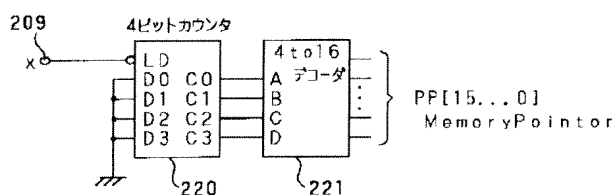
【图8】



【図3】



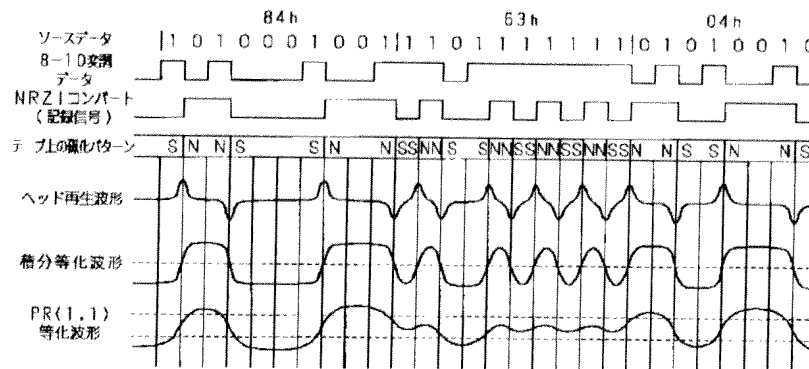
【例 10】



The diagram shows a control system with the following components and connections:

- Input:** A switch 200 is connected to a block 201 labeled  $y_k$ .
- Feedback Path:** The output of block 201 is connected to a summing junction 202 (represented by a circle with a cross). The other input to the summing junction is from a feedback loop.
- Feedforward Path:** The output of the summing junction 202 is connected to a block 205.
- Control Element:** Block 205 is a controller with two inputs: a non-inverting input (+) and an inverting input (-). The inverting input is connected to a switch 204, which can be moved to a position labeled  $-1$ .
- Actuator and Plant:** The output of block 205 is connected to a block 206, which is an actuator. The output of block 206 is connected to a block 207, which is the plant.
- Output and Feedback:** The output of block 207 is connected to a switch 209, which can be moved to a position labeled  $x$ . The output of block 209 is connected to a switch 210, which can be moved to a position labeled  $r d l$ . The output of block 210 is connected back to the feedback loop.
- Internal Components:**
  - Block 202 is a summing junction with a cross.
  - Block 205 is a controller with two inputs.
  - Block 206 is an actuator.
  - Block 207 is the plant.
  - Block 208 is a switch that can be moved to a position labeled  $x$ .
  - Block 209 is a switch that can be moved to a position labeled  $r d l$ .
  - Block 210 is a switch that can be moved to a position labeled  $x$ .
  - Block 211 is a switch that can be moved to a position labeled  $x$ .
  - Block 212 is a switch that can be moved to a position labeled  $x$ .
  - Block 213 is a switch that can be moved to a position labeled  $x$ .
  - Block 214 is a switch that can be moved to a position labeled  $x$ .
  - Block 215 is a switch that can be moved to a position labeled  $x$ .
  - Block 216 is a switch that can be moved to a position labeled  $x$ .
  - Block 217 is a switch that can be moved to a position labeled  $x$ .

【図12】



【図13】

